

PAT-NO: JP02001345289A

DOCUMENT-IDENTIFIER: JP 2001345289 A

TITLE: METHOD FOR MANUFACTURING  
SEMICONDUCTOR DEVICE

PUBN-DATE: December 14, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
ICHIKAWA, SEIJI	N/A
TOKUE, TATSUO	N/A
NAGANO, NOBUO	N/A
OGIWARA, FUMIE	N/A
SATO, TAKU	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP2000161388

APPL-DATE: May 31, 2000

INT-CL (IPC): H01L021/301, H01L023/12 , H05K003/00

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor

device in which production of bur is suppressed when broken.

SOLUTION: When cutting a multiplayer substrate 1 for leadless chip carrier package in units of package P, V-grooves 2a are cut in one side 1a of the multiplayer substrate 1 toward the plate thickness direction thereof and fragile grooves 3 are made oppositely to the V-grooves 2a in the other side 1b of the multiplayer substrate 1. While applying a cleaving force to the multiplayer substrate 1, a cut 3a is made in the groove 3 on the other side 1b of the multiplayer substrate 1 and the multiplayer substrate 1 is cleaved along the plate thickness direction thereof from the V-groove 2a toward the groove 3.

COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 許出願公開番号

特開2001-345289

(P2001-345289A)

(43) 公開日 平成13年12月14日 (2001. 12. 14)

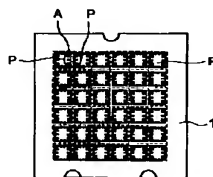
(51)Int.Cl. <sup>7</sup>	識別記号	F I	テグコード <sup>*</sup> (参考)
H 0 1 L 21/301 23/12	5 0 1	H 0 1 L 23/12 H 0 5 K 3/00	5 0 1 Z J X U V
H 0 5 K 3/00		H 0 1 L 21/78	
審査請求 未請求 請求項の数 6 O L (全 5 頁) 最終頁に続く			
(21)出願番号	特願2000-161388(P2000-161388)	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成12年5月31日(2000.5.31)	(72)発明者	市川 清治 東京都港区芝五丁目7番1号 日本電気株式会社内
		(72)発明者	徳江 達夫 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74)代理人	100075306 弁理士 菅野 中
最終頁に続く			

## (54) 【発明の名称】 半導体装置の製造方法

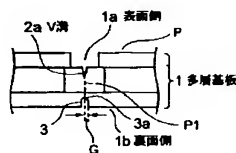
## (57) 【要約】

【課題】 ブレーキング時にバリの発生を抑制する半導体装置の製造方法を提供する。

【解決手段】 リードレスチップキャリアパッケージ用多層基板1を、パッケージPを単位として切斷分割する際に、前記多層基板1の一面1aにV溝2aを多層基板1の板厚方向に向けて刻設し、かつ前記多層基板1の他面の前記V溝2aと対向する位置に脆弱な溝3を設け、前記多層基板1に劈開力を加え、前記多層基板1の他面1bの前記溝3に切れ目3aを入れて、多層基板1の板厚方向に沿って前記V溝2aから前記溝3に向けて前記多層基板1を劈開する。



(a)



(b)

## 【特許請求の範囲】

【請求項1】 リードレスチップキャリアパッケージ用多層基板をパッケージ単位に切断分割する半導体装置の製造方法であって、

前記多層基板の一面にV溝を多層基板の板厚方向に向けて刻設し、かつ前記多層基板の他面の前記V溝と対向する位置に脆弱な非割開部を設け、

前記多層基板に割開力を加え、前記多層基板の他面の前記非割開部に切れ目を入れて、多層基板の板厚方向に沿って前記V溝から前記非割開部に向けて前記多層基板を割開

することを特徴とする半導体装置の製造方法。

【請求項2】 前記非割開部に、前記V溝との目合わせ精度の誤差を含む広幅をもつ溝を用いることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記非割開部に、鋸歯形状の溝を用いることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】 前記非割開部に、前記多層基板との熱膨張率の異なる帯状体を用いることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項5】 リードレスチップキャリアパッケージ用多層基板をパッケージ単位に切断分割する半導体装置の製造方法であって、

前記多層基板の一面にV溝を多層基板の板厚方向に向けて刻設し、かつ前記多層基板の他面の前記V溝と対向する位置に脆弱な非割開部を設け、

前記多層基板に割開力を加え、前記非割開部と前記多層基板の割開力の違いにより前記非割開部と前記多層基板の界面に切れ目を入れて、多層基板の板厚方向に沿って前記V溝から前記非割開部に向けて前記多層基板を割開

することを特徴とする半導体装置の製造方法。

【請求項6】 前記非割開部に、前記多層基板より剛性の高い帯状体を用いることを特徴とする請求項5に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、リードレスチップキャリアパッケージ用多層基板をパッケージ単位で切断する半導体装置の製造方法に関するものである。

【0002】

【従来の技術】従来、リードレスチップキャリアパッケージ用多層基板をパッケージ単位で切断するには、図4(a)、(b)に示すように多層基板1の表面側1aと裏面側1bにダイシングブレードを用いて対向するV溝2a、2bが設けられ、図示しない対をなすローラ間に、V溝2a、2bが設けられた多層基板1を通し、前記ローラで多層基板1のV溝2a、2bに割開力を加えて多層基板1を切断している。

【0003】図5(b)に示すように前記ローラで多層基板1のV溝2a、2bに割開力を加えて多層基板1を

切断する場合には、多層基板1の表面側1aの溝2aに矢印Yで示すように左右に押し広げようとする力が作用する。

【0004】ところで、多層基板1は結晶構造のものであるが、その多層基板1に割開力を加えた場合に切断方向が一定しないため、パッケージ単位に多層基板1を切断する場合には多層基板1の切断方向を特定するため、多層基板1にV溝2a、2bを切込んで設けている。

【0005】

【発明が解決しようとする課題】しかしながら、多層基板1にV溝2a、2bを設けるにあたっては、溝2a、2bをフルカットして設けるのではなく、ハーフカットして設けるものであり、溝2a、2bを設ける際の目合わせ位置精度が悪い場合には、図5(b)に示すように対向する溝2a、2b間で多層基板1が切断されず、一方の溝2bからずれた点線2cに沿って多層基板1が切断されてしまうことがあり、この場合には余計なバリ2dが付着してしまい、このバリ2dがリードレスチップの実装に支障を与えてしまうという問題がある。

【0006】本発明の目的は、ブレーキング時のバリの発生を抑制する半導体装置の製造方法を提供することにある。

【0007】

【課題を解決するための手段】前記目的を達成するため、本発明に係る半導体装置の製造方法は、リードレスチップキャリアパッケージ用多層基板をパッケージ単位に切断分割する半導体装置の製造方法であって、前記多層基板の一面にV溝を多層基板の板厚方向に向けて刻設し、かつ前記多層基板の他面の前記V溝と対向する位置に脆弱な非割開部を設け、前記多層基板に割開力を加え、前記多層基板の他面の前記非割開部に切れ目を入れて、多層基板の板厚方向に沿って前記V溝から前記非割開部に向けて前記多層基板を割開するものである。

【0008】また前記非割開部に、前記V溝との目合わせ精度の誤差を含む広幅をもつ溝を用いるものである。

【0009】また前記非割開部に鋸歯形状の溝を用いるものである。

【0010】また前記非割開部に、前記多層基板との熱膨張率の異なる帯状体を用いるものである。

【0011】また本発明に係る半導体装置の製造方法は、リードレスチップキャリアパッケージ用多層基板をパッケージ単位に切断分割する半導体装置の製造方法であって、前記多層基板の一面にV溝を多層基板の板厚方向に向けて刻設し、かつ前記多層基板の他面の前記V溝と対向する位置に脆弱な非割開部を設け、前記多層基板に割開力を加え、前記非割開部と前記多層基板の割開力の違いにより前記非割開部と前記多層基板の界面に切れ目を入れて、多層基板の板厚方向に沿って前記V溝から前記非割開部に向けて前記多層基板を割開するものである。

【0012】また前記非劈開部に、前記多層基板より剛性の高い帯状体を用いるものである。

【0013】

【発明の実施の形態】以下、本発明の実施の形態を図により説明する。

【0014】図1(a)は、本発明の実施形態1に係る半導体装置の製造方法を示す平面図、図1(b)は、図1(a)のA部を拡大した縦断面図である。図2は、本発明の実施形態2に係る半導体装置の製造方法を示す図であって、図1(a)のA部に相当する箇所を断面して拡大した縦断面図である。図3は、本発明の実施形態3に係る半導体装置の製造方法を示す図であって、図1(a)のA部に相当する箇所を断面して拡大した縦断面図である。

【0015】図1、図2、図3に示す本発明に係る半導体装置の製造方法は、リードレスチップキャリアパッケージ用多層基板1を、パッケージPを単位として切断分割する半導体装置の製造方法であって、前記多層基板1の一面(表面側)1aにV溝2aを多層基板1の板厚方向、すなわちパッケージPの切断端面P1に沿う方向に向けて刻設し、かつ前記多層基板1の他面(裏面側)の前記V溝2aと対向する位置に脆弱な劈開部を設け、図4に示すように前記多層基板1に劈開力を加え、前記多層基板1の他面1bの前記劈開部に切れ目3を入れて、多層基板1の板厚方向に沿って前記V溝2aから前記劈開部に向けて前記多層基板1を劈開することを特徴とするものである。

【0016】図4に示す例の場合には、組をなすローラ6a、6aとローラ6bとの間にリードレスチップキャリアパッケージ用多層基板1を渡し、ローラ6a、6a、6bにより多層基板1に矢印Yで示すような劈開力を加えるようにしているが、多層基板1に劈開力を加える方は図4に示す方式に限定されるものではない。

【0017】図1(b)に示す例では、前記劈開部に、V溝2aとの目合わせ精度の誤差Gを含む広幅をもつ溝3を用いている。

【0018】また図2に示す例では、前記劈開部に、V溝2aと形状をほぼ同一にする複数の溝4a、4bを並列に配列した鋸歯形状の溝4を用いている。

【0019】また図3に示す例では、前記劈開部に、多層基板1との熱膨張率の異なる帯状体5を用いている。

【0020】したがって本発明によれば、前記多層基板1の他面前記V溝2aと対向する位置に脆弱な劈開部を設け、前記多層基板1に劈開力を加え、前記多層基板1の他面1bの前記劈開部に積極的に切れ目3を入れるため、多層基板1の板厚方向に沿うV溝2aの延長上に、必ず多層基板1の劈開用切れ目が前記劈開部分に形成されることがなり、基板1を劈開する切断線を前記劈開部内の切れ目とV溝2aを結ぶ向きに方向付けして基板の切断を行うことができ、設計通りに劈開してバリの発生

を防止することができる。

【0021】図1(b)に示すように前記劈開部に、V溝2aとの目合わせ精度の誤差Gを含む広幅をもつ溝3を用いることにより、図4に示すように多層基板1に劈開力を加えられて溝3を押し潰そうとしても、広幅の溝3内に切れ目3aを形成するための脆弱な箇所を確保することができ、多層基板1を劈開する切断線を切れ目3aとV溝2aを結ぶ向きに方向付けして基板の切断を行うことができる。

【0022】また図2に示すように前記劈開部に、V溝2aと形状をほぼ同一にする複数の溝4a、4bを並列に配列した鋸歯形状の溝4を用いることにより、図4に示すように多層基板1に劈開力を加えられて溝4を押し潰そうとしても、溝4内に切れ目4cを形成するための脆弱な箇所をV溝4a或いは4bで確保することができ、多層基板1を劈開する切断線を切れ目4cとV溝2aを結ぶ向きに方向付けして基板の切断を行うことができる。

【0023】また図3に示すように前記劈開部に、多層基板1との熱膨張率の異なる帯状体5を用い、多層基板1を加熱しながらブレーキングすることにより、帯状体5と多層基板1の熱膨張率の差をもって多層基板1と帯状体5の結合部に熱ストレスを加えて切れ目5aを付すことができ、多層基板1を劈開する切断線を切れ目5aとV溝2aを結ぶ向きに方向付けして基板の切断を行うことができる。

【0024】次に本発明の他を図3を参照して説明する。図3に示す例は、帯状体5と多層基板1の熱膨張率の差をもって多層基板1の分割部分に熱ストレスを加えて多層基板1をブレーキングをする場合のものであるが、これに限定されるものではなく、図3に示す帯状体5に強靱な非劈開部を用いてもよいものである。

【0025】すなわち本発明に係る他の半導体装置の製造方法は、リードレスチップキャリアパッケージ用多層基板をパッケージ単位に切断分割する半導体装置の製造方法であって、前記多層基板1の一面にV溝2aをパッケージの切断端面に沿う方向に刻設し、かつ前記多層基板1の他面前記V溝2aと対向する位置に強靱な非劈開部を設け、前記多層基板1に劈開力を加え、前記非劈開部と前記多層基板1の劈開力の違いにより前記非劈開部と前記多層基板1の界面に切れ目3を入れて、前記多層基板1の一面1aにV溝2aを多層基板1の板厚方向、すなわちパッケージPの切断端面P1に沿う方向で前記溝から前記劈開部に向けて前記多層基板を劈開することを特徴とするものである。そして前記非劈開部に前記多層基板1より剛性の高い帯状体を用いる。この帯状体を図3に7と付して説明する。

【0026】図3を参照して本発明の他の例を説明すると、前記多層基板1の一面にV溝2aをパッケージの切断端面に沿う方向に刻設し、かつ前記多層基板1の他面

の前記溝と対向する位置に強靱な非劈開部（帯状体7）を設けてブレーキングするため、図4に示すように多層基板1に劈開力が増えられ、多層基板1と帯状体7の結合部分に劈開力が集中して、その劈開力によって前記結合部に切れ目7aが形成されるため、多層基板1を劈開する切断線を切れ目7aとV溝2aを結ぶ向きに方向付けして基板の切断を行うことができる。

【0027】また前記非劈開部に前記多層基板1より剛性の高い帯状体7を用いたが、これに限定されるものではなく、強靱な非劈開部をなす帯状体7として多層基板1と熱膨張率の異なる素材を用いて、熱ストレスにより多層基板1に切れ目を形成するようにしてもよいものである。

【0028】

【発明の効果】以上説明したように本発明によれば、基板を劈開する切断線を多層基板3の他面側に形成される切れ目と多層基板の一面側に設けたV溝を結ぶ向きに方向付けして基板の切断を行うことができる。

【図面の簡単な説明】

【図1】（a）は、本発明の実施形態1に係る半導体装

置の製造方法を示す平面図、（b）は、図1（a）のA部を拡大した縦断面図である。

【図2】本発明の実施形態2に係る半導体装置の製造方法を示す図であって、図1（a）のA部に相当する箇所を断面して拡大した縦断面図である。

【図3】本発明の実施形態3に係る半導体装置の製造方法を示す図であって、図1（a）のA部に相当する箇所を断面して拡大した縦断面図である。

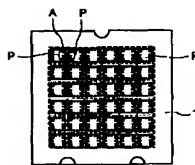
【図4】ブレーキング状態を示す断面図である。

【図5】（a）は、従来例に係る半導体装置の製造方法を示す平面図、（b）は（a）のA部を断面して拡大した縦断面図である。

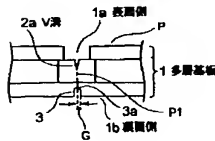
【符号の説明】

- 1 多層基板
- 2a V溝
- 3, 4c, 5a, 7a 切れ目
- 4a, 4b V溝
- 4 鋸歯形状の溝
- 5, 7 帯状体

【図1】

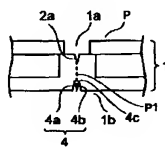


(a)

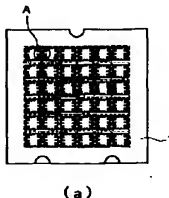


(b)

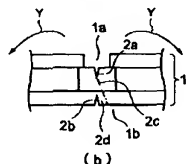
【図2】



【図5】

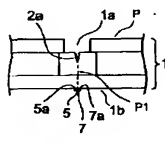


(a)

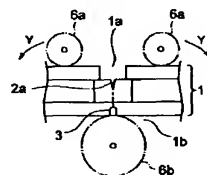


(b)

【図3】



【図4】



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I H O 1 L 23/12	テマコード' (参考) N
(72)発明者 永野 暢雄	東京都港区芝五丁目7番1号 日本電気株式会社内	(72)発明者 荻原 文枝	東京都港区芝五丁目7番1号 日本電気株式会社内
		(72)発明者 佐藤 卓	東京都港区芝五丁目7番1号 日本電気株式会社内

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the manufacture method of a semiconductor device of cutting the multilayer substrate for a lead loess chip carrier package per package.

[0002]

[Description of the Prior Art] In order to cut the multilayer substrate for a lead loess chip carrier package per package conventionally V grooves 2a and 2b which use a dicing blade for front-face side 1a of the multilayer substrate 1 and rear-face side 1b, and counter them as shown in drawing 5 (a) and (b) are formed. The cleavage force is applied to V grooves 2a and 2b of the multilayer substrate 1 for the multilayer substrate 1 by which V grooves 2a and 2b were formed between the rollers which make the pair which is not illustrated with through and the aforementioned roller, and the multilayer substrate 1 is cut.

[0003] As shown in drawing 5 (b), in applying the cleavage force to V grooves 2a and 2b of the multilayer substrate 1 with the aforementioned roller and cutting the multilayer substrate 1, the force which it is going to extend right and left as Arrow Y shows to slot 2 of front-face side 1a of multilayer substrate 1 acts.

[0004] By the way, although the multilayer substrate 1 is the thing of the crystal structure, since the cutting direction of the multilayer substrate 1 is pinpointed when cutting the multilayer substrate 1 per package, since the cutting direction is not fixed when the cleavage force is applied to the multilayer substrate 1, V grooves 2a and 2b have been cut deeply and formed in the multilayer substrate 1.

[0005]

[Problem(s) to be Solved by the Invention] However, in forming V grooves 2a and 2b in the multilayer substrate 1 When the eye doubling position precision at the time of carrying out full cutting of the slots 2a and 2b, and not preparing them, but they carrying out half cutting, preparing them, and forming Slots 2a and 2b is bad The multilayer substrate 1 is not cut between slot 2a which counters as shown in drawing 5 (b), and 2b. The multilayer substrate 1 may be cut along with dotted-line 2c [ b / slot 2 / one ] shifted, excessive barricade 2d adheres in this case, and there is a problem that this barricade 2d will give trouble to mounting of a lead loess chip.

[0006] The purpose of this invention is to offer the manufacture method of the semiconductor device which suppresses generating of a barricade at the time of braking.

[0007]

[Means for Solving the Problem] In order to attain the aforementioned purpose, the manufacture method of the semiconductor device concerning this invention It is the manufacture method of the semiconductor device which carries out cutting division of the multilayer substrate for a lead loess chip carrier package per package. Turn a V groove in the direction of board thickness of a multilayer substrate, and engrave it on the whole surface of the aforementioned multilayer substrate, and the brittle cleavage section is prepared in the position which counters with the aforementioned V groove of the



other sides of the aforementioned multilayer substrate. The cleavage force is applied to the aforementioned multilayer substrate, a break is put into the aforementioned cleavage section of the other sides of the aforementioned multilayer substrate, and the cleavage of the aforementioned multilayer substrate is carried out towards the aforementioned cleavage section along the direction of board thickness of a multilayer substrate from the aforementioned V groove.

[0008] Moreover, a slot with the double width which includes the error of eye doubling precision with the aforementioned V groove in the aforementioned cleavage section is used.

[0009] Moreover, the slot of a serration configuration is used for the aforementioned cleavage section.

[0010] Moreover, the band form from which coefficient of thermal expansion with the aforementioned multilayer substrate differs is used for the aforementioned cleavage section.

[0011] Moreover, the manufacture method of the semiconductor device concerning this invention is the manufacture method of the semiconductor device which carries out cutting division of the multilayer substrate for a lead loss chip carrier package per package. Turn a V groove in the direction of board thickness of a multilayer substrate, and engrave it on the whole surface of the aforementioned multilayer substrate, and the tough non-cleavage section is prepared in the position which counters with the aforementioned V groove of the other sides of the aforementioned multilayer substrate. The cleavage force is applied to the aforementioned multilayer substrate, a break is put into the interface of the aforementioned non-cleavage section and the aforementioned multilayer substrate by the difference in the cleavage force of the aforementioned non-cleavage section and the aforementioned multilayer substrate, and the cleavage of the aforementioned multilayer substrate is carried out towards the aforementioned cleavage section along the direction of board thickness of a multilayer substrate from the aforementioned V groove.

[0012] Moreover, a rigid high band form is used for the aforementioned non-cleavage section from the aforementioned multilayer substrate.

[0013]

[Embodiments of the Invention] Hereafter, drawing explains the gestalt of operation of this invention.

[0014] The plan showing the manufacture method of the semiconductor device which drawing 1 (a) requires for the operation gestalt 1 of this invention, and drawing 1 (b) are drawings of longitudinal section to which the A section of drawing 1 (a) was expanded. Drawing 2 is drawing showing the manufacture method of the semiconductor device concerning the operation gestalt 2 of this invention, and is drawing of longitudinal section to which the cross section of the part equivalent to the A section of drawing 1 (a) was carried out, and it was expanded. Drawing 3 is drawing showing the manufacture method of the semiconductor device concerning the operation gestalt 3 of this invention, and is drawing of longitudinal section to which the cross section of the part equivalent to the A section of drawing 1 (a) was carried out, and it was expanded.

[0015] The manufacture method of the semiconductor device concerning this invention shown in drawing 1, drawing 2, and drawing 3 It is the manufacture method of the semiconductor device which makes Package P a unit and carries out cutting division of the multilayer substrate 1 for a lead loss chip carrier package. V groove 2a to whole surface (front-face side) 1a of the aforementioned multilayer substrate 1 The direction of board thickness of the multilayer substrate 1, Namely, engrave towards the direction along the amputation stump side P1 of Package P, and the aforementioned V groove 2a [ on the other hand / (rear-face type) ] of the aforementioned multilayer substrate 1 and the cleavage section brittle in the position which counters are prepared. As shown in drawing 4, the cleavage force is applied to the aforementioned multilayer substrate 1, and it is characterized by the thing of the aforementioned multilayer substrate 1 which a break 3 is put into the aforementioned cleavage section of 1b on the other hand, and is done for the cleavage of the aforementioned multilayer substrate 1 towards the aforementioned cleavage section along the direction of board thickness of the multilayer substrate 1 from the aforementioned V groove 2a.

[0016] Although it is made to apply the cleavage force in which the multilayer substrate 1 for a lead loss chip carrier package is shown in the multilayer substrate 1 by Arrow Y with through and Rollers 6a, 6a, and 6b between Rollers 6a and 6a and roller 6b which make a group in the case of the example

shown in drawing 4 , the method which applies the cleavage force to the multilayer substrate 1 is not limited to the method shown in drawing 4 .

[0017] In the example shown in drawing 1 (b), the slot 3 with the double width which includes the error G of eye doubling precision with V groove 2a in the aforementioned cleavage section is used.

[0018] Moreover, in the example shown in drawing 2 , the slot 4 of the serration configuration where two or more slots 4a and 4b which make V groove 2a and a configuration almost the same were arranged in parallel is used for the aforementioned cleavage section.

[0019] Moreover, in the example shown in drawing 3 , the band form 5 from which coefficient of thermal expansion with the multilayer substrate 1 differs is used for the aforementioned cleavage section.

[0020] According to this invention, the brittle cleavage section is prepared in the aforementioned V groove 2a of the other sides of the aforementioned multilayer substrate 1, and the position which counters, and the cleavage force is applied to the aforementioned multilayer substrate 1. Therefore, in order [ of the aforementioned multilayer substrate 1 ] to put a break into the aforementioned cleavage section of 1b positively on the other hand, On extension of V groove 2a which meets in the direction of board thickness of the multilayer substrate 1, the break for cleavages of the multilayer substrate 1 will surely be formed at the aforementioned cleavage portion. The cutting plane line which carries out the cleavage of the substrate 1 can be oriented with the sense which connects V groove 2a to the break of the aforementioned cleavage circles, a substrate can be cut, a cleavage can be carried out as a design, and generating of a barricade can be prevented.

[0021] By using the slot 3 with the double width which includes the error G of eye doubling precision with V groove 2a in the aforementioned cleavage section as shown in drawing 1 (b) As shown in drawing 4 , even if it can apply the cleavage force to the multilayer substrate 1 and is going to crush a slot 3 The brittle part for forming break 3a in the double-width slot 3 can be secured, the cutting plane line which carries out the cleavage of the multilayer substrate 1 can be oriented with the sense which connects break 3a and V groove 2a, and a substrate can be cut.

[0022] Moreover, by using for the aforementioned cleavage section the slot 4 of the serration configuration where two or more slots 4a and 4b which make V groove 2a and a configuration almost the same were arranged in parallel, as shown in drawing 2 As shown in drawing 4 , even if it can apply the cleavage force to the multilayer substrate 1 and is going to crush a slot 4 The brittle part for forming break 4c in a slot 4 can be secured by V groove 4a or 4b, the cutting plane line which carries out the cleavage of the multilayer substrate 1 can be oriented with the sense which connects break 4c and V groove 2a, and a substrate can be cut.

[0023] Moreover, by carrying out braking, heating the multilayer substrate 1 using the band form 5 from which coefficient of thermal expansion with the multilayer substrate 1 differs in the aforementioned cleavage section, as shown in drawing 3 Heat stress can be added to the bond part of the multilayer substrate 1 and a band form 5 with the difference of the coefficient of thermal expansion of a band form 5 and the multilayer substrate 1, break 5a can be attached, the cutting plane line which carries out the cleavage of the multilayer substrate 1 can be oriented with the sense which connects break 5a and V groove 2a, and a substrate can be cut.

[0024] Next, everything but this invention is explained with reference to drawing 3 . You may use the tough non-cleavage section for the band form 5 which is not limited to this and shows the multilayer substrate 1 to drawing 3 although it is a thing in the case of carrying out braking by the example shown in drawing 3 having the difference of the coefficient of thermal expansion of a band form 5 and the multilayer substrate 1, and adding heat stress to the division portion of the multilayer substrate 1.

[0025] Namely, the manufacture method of other semiconductor devices concerning this invention It is the manufacture method of the semiconductor device which carries out cutting division of the multilayer substrate for a lead less chip carrier package per package. V groove 2a is engraved on the whole surface of the aforementioned multilayer substrate 1 in the direction along the amputation stump side of a package. And the tough non-cleavage section is prepared in the aforementioned slot 2a of the other sides of the aforementioned multilayer substrate 1, and the position which counters. Apply the cleavage

force to the aforementioned multilayer substrate 1, and a break is put into the interface of the aforementioned non-cleavage section and the aforementioned multilayer substrate 1 by the difference in the cleavage force of the aforementioned non-cleavage section and the aforementioned multilayer substrate 1. It is characterized by carrying out the cleavage of the aforementioned multilayer substrate to whole surface 1a of the aforementioned multilayer substrate 1 towards the aforementioned cleavage section towards meeting the direction P1 of board thickness of the multilayer substrate 1, i.e., the amputation stump side of Package P, in V groove 2a from the aforementioned slot. And a rigid high band form is used for the aforementioned non-cleavage section from the aforementioned multilayer substrate 1. This band form is given to drawing 3 with 7, and is explained to it.

[0026] If other examples of this invention are explained with reference to drawing 3, V groove 2a will be engraved on the whole surface of the aforementioned multilayer substrate 1 in the direction along the amputation stump side of a package. And in order to prepare and carry out braking of the tough non-cleavage section (band form 7) to the aforementioned slot of the other sides of the aforementioned multilayer substrate 1, and the position which counters, If the cleavage force is applied to the multilayer substrate 1 as shown in drawing 4, since the cleavage force will concentrate on a part for the bond part of the multilayer substrate 1 and a band form 7 and break 7a will be formed in the aforementioned bond part of the cleavage force, The cutting plane line which carries out the cleavage of the multilayer substrate 1 can be oriented with the sense which connects break 7a and V groove 2a, and a substrate can be cut.

[0027] Moreover, although the rigid high band form 7 was used for the aforementioned non-cleavage section from the aforementioned multilayer substrate 1, it is not limited to this and you may make it form a break in the multilayer substrate 1 by heat stress using the material from which the multilayer substrate 1 and coefficient of thermal expansion differ as a band form 7 which makes the tough non-cleavage section.

[0028]  
[Effect of the Invention] As explained above, according to this invention, it can orient with the sense which connects the V groove which formed the cutting plane line which carries out the cleavage of the substrate in the break [ of the multilayer substrate 3 / which is formed in a side on the other hand ], and whole surface side of a multilayer substrate, and a substrate can be cut.

---

[Translation done.]